

5/5/1 (Item 1 from file: 351)
DIALOG(R)File 351:Derwent WPI
(c) 2004 THOMSON DERWENT. All rts. reserv.

012304828 **Image available**
WPI Acc No: 1999-110934/ 199910
XRPX Acc No: N99-080806

Single chip micro computer - includes auxiliary non-volatile memory which stores control data for controlling time or voltage required for writing in or erasure of data

Patent Assignee: SANYO ELECTRIC CO LTD (SAOL)
Number of Countries: 001 Number of Patents: 001
Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 10334072	A	19981218	JP 97140085	A	19970529	199910 B

Priority Applications (No Type Date): JP 97140085 A 19970529

Patent Details:

Patent No	Kind	Lan	Pg	Main IPC	Filing Notes
JP 10334072	A		5	G06F-015/78	

Abstract (Basic): JP 10334072 A

NOVELTY - A non-volatile memory (8) in which reading out, writing in and electric erasure of data is possible, serves as a program memory. An auxiliary non-volatile memory (9) stores the control data for controlling the time or voltage required for writing in or erasing data. The memories are included in a memory cell.

USE - None given.

ADVANTAGE - Improves data write in, read out and erasure characteristic. DESCRIPTION OF DRAWING(S) - The drawing shows the block diagram of a single chip microcomputer. (8) Non-volatile memory; (9) Auxiliary non-volatile memory.

Dwg.1/9

Title Terms: SINGLE; CHIP; MICRO; COMPUTER; AUXILIARY; NON; VOLATILE; MEMORY; STORAGE; CONTROL; DATA; CONTROL; TIME; VOLTAGE; REQUIRE; WRITING; ERASE; DATA

Derwent Class: T01; U14

International Patent Class (Main): G06F-015/78

International Patent Class (Additional): G11C-016/02

File Segment: EPI

5/5/2 (Item 1 from file: 347)
DIALOG(R)File 347:JAPIO
(c) 2004 JPO & JAPIO. All rts. reserv.

06050972 **Image available**
ONE-CHIP MICROCOMPUTER

PUB. NO.: 10-334072 A]
PUBLISHED: December 18, 1998 (19981218)
INVENTOR(s): WATANABE TORU
APPLICANT(s): SANYO ELECTRIC CO LTD [000188] (A Japanese Company or Corporation), JP (Japan)
APPL. NO.: 09-140085 [JP 97140085]
FILED: May 29, 1997 (19970529)
INTL CLASS: [6] G06F-015/78; G11C-016/02
JAPIO CLASS: 45.4 (INFORMATION PROCESSING -- Computer Applications); 45.2 (INFORMATION PROCESSING -- Memory Units)
JAPIO KEYWORD: R097 (ELECTRONIC MATERIALS -- Metal Oxide Semiconductors, MOS); R131 (INFORMATION PROCESSING -- Microcomputers & Microprocessors)

ABSTRACT

PROBLEM TO BE SOLVED: To improve the writing characteristics, erasing

characteristics and reading characteristics of data with respect to dispersion of manufacturing and degradation of the characteristic of nonvolatile memory incorporated in a one-chip microcomputer.

SOLUTION: Control data to improve the writing characteristics, the erasing characteristics and the reading characteristics of first nonvolatile memory is written in a second nonvolatile memory based on an evaluation result of the first nonvolatile memory. In detail, when the writing characteristics and the erasing characteristics are improved, the control data in which bulk of its voltage and time are defined as variable is written in the second nonvolatile memory, and when the reading characteristic are improved, the control data, in which reference voltage V_{ref} of a sense amplifier 6 as variable is written in the second nonvolatile memory and each electrode of a memory cell 5 is controlled.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-334072

(43) 公開日 平成10年(1998)12月18日

(51) Int.Cl.⁶

G 0 6 F 15/78

G 1 1 C 16/02

識別記号

5 1 0

F I

G 0 6 F 15/78

G 1 1 C 17/00

5 1 0 F

6 1 1 E

審査請求 未請求 請求項の数2 OL (全 5 頁)

(21) 出願番号 特願平9-140085

(22) 出願日 平成9年(1997)5月29日

(71) 出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(72) 発明者 渡辺 徹

大阪府守口市京阪本通2丁目5番5号 三

洋電機株式会社内

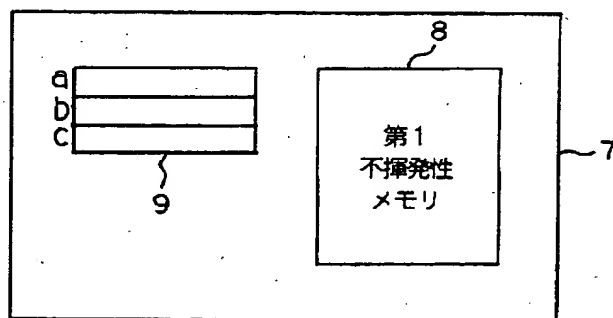
(74) 代理人 弁理士 安富 耕二 (外1名)

(54) 【発明の名称】 1チップマイクロコンピュータ

(57) 【要約】

【課題】 1チップマイクロコンピュータに内蔵された不揮発性メモリの製造ばらつき及び特性劣化に対し、データの書き込み特性、消去特性、読み出し特性を良好とする。

【解決手段】 第1不揮発性メモリ8の評価結果に基づいて、第1不揮発性メモリ8の書き込み特性、消去特性、読み出し特性を良好とする為の制御データを第2不揮発性メモリに書き込む。詳しくは、書き込み特性及び消去特性を良好とする場合、その電圧の大きさ又は時間を可変とする制御データを書き込み、読み出し特性を良好とする場合、センスアンプ6の基準電圧V_{ref}を可変とする制御データを書き込み、メモリセル5の各電極を制御すればよい。



【特許請求の範囲】

【請求項1】 データを電気消去でき且つデータを書き込み及び読み出しできる第1不揮発性メモリをプログラムメモリとして内蔵した1チップマイクロコンピュータにおいて、前記第1不揮発性メモリを構成するメモリセルの少なくとも書き込み又は消去に要する時間又は電圧の何れか一方を制御する為の制御データが書き込まれる第2不揮発性メモリを備えたことを特徴とする1チップマイクロコンピュータ。

【請求項2】 前記第2不揮発性メモリは、データを電気消去でき且つデータを書き込み及び読み出しできるメモリであることを特徴とする請求項1記載の1チップマイクロコンピュータ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、電気消去が可能な不揮発性メモリ（例えばフラッシュメモリ）を内蔵した1チップマイクロコンピュータに関する。

【0002】

【従来の技術】図6は一般的なスプリットゲート型のフラッシュメモリのプログラム状態を示すセル構造図であり、(1)はコントロールゲート、(2)はフローティングゲート、(3)はドレイン、(4)はソースを示している。図6のフラッシュメモリをプログラム状態とする場合、例えば、コントロールゲート(1)、ドレイン(3)、ソース(4)に各々2ボルト、0ボルト、12ボルトの電圧を印加する。すると、コントロールゲート(1)及びフローティングゲート(2)の間とフローティングゲート(2)及びソース(4)の間とが容量結合され、フローティングゲート(2)は、実際は電圧印加を受けないが、結果として例えば11ボルトの高電圧印加を受けたのと同価状態となる。これより、ドレイン(3)及びソース(4)の間に電子が連なるチャンネルが形成され、当該チャンネルの中のホットエレクトロンが絶縁膜（図示せず）を介してフローティングゲート(2)に注入され、フローティングゲート(2)は負に帯電した状態となる。これがフラッシュメモリセルのプログラム状態である。

【0003】図7はプログラム状態のフラッシュメモリの読み出し状態を示すセル構造図、図8はプログラム状態ではないフラッシュメモリの読み出し状態を示すセル構造図である。図7及び図8の何れのフラッシュメモリも読み出し状態とする場合は、例えば、コントロールゲート(1)、ドレイン(3)、ソース(4)に各々4ボルト、0ボルト、2ボルトを印加する。図7の場合、フローティングゲート(2)に電子が注入されている為、ドレイン(3)及びソース(4)の間にチャンネルが形成されず、フラッシュメモリセルはオフする。一方、図8の場合、フローティングゲート(2)に電子が存在しない為、ドレイン(3)及びソース(4)の間にチャンネル

が形成され、フラッシュメモリセルはオンする。図5はフラッシュメモリセルのプログラム状態に応じて論理値「0」又は「1」を出力する為のブロック図であり、

(5)はフラッシュメモリセル、(6)はセンスアンプであり、センスアンプ(6)はフラッシュメモリセル

(5)の出力電流と基準電流 I_{ref} との比較結果に応じて電圧値0ボルト（論理値「0」）又は電圧値5ボルト（論理値「1」）を出力するものである。フラッシュメモリセル(5)が図7の様にプログラム状態の場合、

センスアンプ(6)は、フラッシュメモリセル(5)の出力電流が基準電流 I_{ref} より小さいことを検出して論理値「0」を出力する。一方、フラッシュメモリセル

(5)が図8の様にプログラム状態となっていない場合、センスアンプ(6)は、フラッシュメモリセル

(5)の出力電流が基準電流 I_{ref} より大きいことを検出して論理値「1」を出力する。

【0004】図9はフラッシュメモリの消去状態を示すセル構造図であり、例えば、コントロールゲート(1)に14ボルト、ドレイン(3)及びソース(4)に0ボルトを印加する。すると、フローティングゲート(2)に注入された電子は絶縁膜を介してコントロールゲート(1)側へ移動してしまう。しかし、ドレイン(3)及びソース(4)は同電位の為、チャンネルが形成されることはない。これがフラッシュメモリセルの消去状態である。

【0005】この様に、フラッシュメモリのプログラム状態、読み出し状態、消去状態に応じて、コントロールゲート(1)、ドレイン(3)、ソース(4)へ、固定された電圧を固定された時間だけ印加していた。

【0006】

【発明が解決しようとする課題】ところで、フラッシュメモリを集積化する場合、フラッシュメモリの各チップ毎に特性ばらつきが生じる為、フラッシュメモリのプログラム及び消去の為の電圧、読み出しの為の基準電流 I_{ref} 等を固定してしまうと、フラッシュメモリを確実なプログラム状態、消去状態、読み出し状態とできなくなる問題があった。

【0007】また、フラッシュメモリの消去を実行すると、フローティングゲート(2)に注入された電子がコントロールゲート(1)へ移動する際にコントロールゲート(1)及びフローティングゲート(2)の間の絶縁膜にトラップされるという現象が生じる。従って、フラッシュメモリの消去動作を繰り返すに連れて、フローティングゲート(2)からコントロールゲート(1)への電子の移動が困難となり、書き込み特性及び消去特性が劣化する問題があった。

【0008】そこで、本発明は、フラッシュメモリの特性に応じて、書き込み電圧、消去電圧の大きさ及び時間、センスアンプの基準電流の大きさを制御できる1チップマイクロコンピュータを提供することを目的とす

る。

【0009】

【課題を解決するための手段】本発明は、前記問題点を解決する為に成されたものであり、データを電気消去でき且つデータを書き込み及び読み出しできる第1不揮発性メモリをプログラムメモリとして内蔵した1チップマイクロコンピュータにおいて、前記第1不揮発性メモリを構成するメモリセルの少なくとも書き込み又は消去に要する時間又は電圧の何れか一方を制御する為の制御データが書き込まれる第2不揮発性メモリを備えたことを特徴とする。

【0010】

【発明の実施の形態】本発明の詳細を図面に従って具体的に説明する。図1は本発明の1チップマイクロコンピュータを示すブロック図である。図1において、(7)は1チップマイクロコンピュータである。1チップマイクロコンピュータ(7)内部において、(8)は第1不揮発性メモリであり、データを電気消去でき且つデータを繰り返し書き込み及び読み出しできるフラッシュメモリで構成され、1チップマイクロコンピュータを動作制御する為のプログラムデータが主として格納されるものである。第1不揮発性メモリ(8)を構成するメモリセル(5)は、通常、図6～図9の状態にてデータの書き込み、読み出し、消去が実行される。(9)は第2不揮発性メモリであり、データを電気消去でき且つデータを繰り返し書き込み及び読み出しできるフラッシュメモリ又はEEPROMで構成され、第1不揮発性メモリ(8)の書き込み電圧の大きさ又は時間を制御する為の制御データA、第1不揮発性メモリ(8)の消去電圧の大きさ又は時間を制御する為の制御データB、第1不揮発性メモリ(8)の読み出し時におけるセンスアンプ(6)の基準電流 I_{ref} の大きさを制御する為の制御データC等が書き込まれるものである。第2不揮発性メモリ

(9)に制御データA、B、Cを書き込む場合、1チップマイクロコンピュータ(7)の出荷前であれば、製造側が第1不揮発性メモリ(8)が正常な書き込み、読み出し、消去動作を行うかどうかを評価し、製造側の期待する評価が得られる制御データA、B、Cを書き込めばよい。また、1チップマイクロコンピュータ(7)の出荷後であれば、使用者が第1不揮発性メモリ(8)の所定消去回数毎に第1不揮発性メモリ(8)が正常な書き込み、読み出し、消去動作を行うかどうかを評価し、使用者の期待する評価が得られる制御データA、B、Cに書き換えればよい。例えば、第2不揮発性メモリ(9)のアドレスa、b、cに制御データA、B、Cが書き込まれるものとする。

【0011】図2は、書き込み時間及び消去時間を制御する為の回路ブロック図である。尚、第2不揮発性メモリ(9)のアドレスa、bには書き込み時間及び消去時間を制御する為の制御データA、Bが評価の結果に基づ

いて書き込まれているものとする。図2において、(10)はカウンタであり、複数のTフリップフロップをカスケード接続して構成されている。ANDゲート(11)(12)(13)及びORゲート(14)は切換回路を構成し、ANDゲート(11)(12)(13)の一方の入力端子にはカウンタ(10)の特定の分周出力X1、X2、X3(例えば0.4msec、0.8msec、1.6msec)が印加される。第2不揮発性メモリ(9)のアドレスaには分周出力X1、X2、X3の何れか1個を選択する為の制御ビットY1、Y2、Y3が書き込まれる。制御ビットY1、Y2、Y3は分周出力X1、X2、X3を選択する時に論理値「1」となる。(15)(16)(17)はラッチ回路であり、1チップマイクロコンピュータ(7)を初期化した時に発生するクロックに同期してアドレスaの制御ビットY1、Y2、Y3をラッチするものであり、ラッチ回路(15)(16)(17)の出力はANDゲート(11)(12)(13)の他方の入力端子に印加される。従って、論理値「1」の制御ビットY1、Y2、Y3の何れか1個に対応した分周出力X1、X2、X3の何れか1個がORゲート(14)から出力され、図6の電圧印加時間が制御される。例えば、第1不揮発性メモリ(8)の書き込み特性の評価の結果、電圧印加時間が0.4msecでは不十分であるが0.8msecでは十分である場合、制御ビットY2のみが論理値「1」となり、カウンタ(10)の分周出力X2に基づいて書き込みが実行される。尚、第2不揮発性メモリ(9)のアドレスbについても、図2と同様の構成が設けられる。

【0012】図3は、書き込み電圧及び消去電圧を制御する為の回路ブロック図である。尚、第2不揮発性メモリ(9)のアドレスa、bには書き込み電圧及び消去電圧を制御する為の制御データA、Bが評価の結果に基づいて書き込まれているものとする。図3において、(18)は高電圧発生回路であり、電圧VPPを発生する。高電圧発生回路(18)の出力にはツエナーダイオード(19)のカソードが接続され、ツエナーダイオード(19)のアノード側にはp個、q個、r個($p > q > r$)のダイオードの直列体(20)(21)(22)が並列接続される。また、ツエナーダイオード(19)のアノードとダイオードの直列体(20)(21)(22)との間には、高電圧発生回路(18)の出力と接地との間でツエナーダイオード(19)とダイオードの直列体(20)(21)(22)の何れか1つとを選択的に接続又は遮断するNMOSトランジスタ(23)(24)(25)のドレインソース路が介挿され、NMOSトランジスタ(23)(24)(25)のゲートはラッチ回路(15)(16)(17)の出力で制御される。尚、NMOSトランジスタ(23)(24)(25)がオフしている時、NMOSトランジスタ(23)のみがオフしている時、NMOSトランジスタ(24)のみが

オフしている時、NMOSTランジスタ(25)のみがオフしている時の順で、高電圧発生回路(18)の出力VPPは低くなる。例えば、第1不揮発性メモリ(8)の書き込み特性を電圧印加時間を一定とした条件の下で評価した結果、書き込み電圧がNMOSTランジスタ(25)をオンした時のレベルでは不十分であるが、NMOSTランジスタ(24)をオンした時のレベルでは十分である場合、制御ビットY2のみが論理値「1」となり、図6のソース電圧が制御される。尚、第2不揮発性メモリ(9)のアドレスbについても、図3と同様の構成が設けられる。この場合、図9のゲート電圧が制御される。

【0013】図4はセンスアンプ(6)の基準電圧Vrefを制御する為の回路ブロック図である。詳しくは、メモリセル(5)の出力電流と基準電流Irefとはセンスアンプ(6)内部で電流電圧変換される。従って、実際は、センスアンプ(5)に基準電流Irefを印加せず、基準電圧Vrefを印加する構成とする。尚、第2不揮発性メモリ(9)のアドレスcには基準電圧Vrefを制御する為の制御データCが評価の結果に基づいて書き込まれているものとする。電源VDDと接地との間には抵抗(26)(27)(28)(29)が直列接続され、NMOSTランジスタ(30)(31)(32)のドレインは直列抵抗(26)(27)(28)

(29)の接続点と接続されると共にソースは共通接続され、ゲートは制御ビットZ1、Z2、Z3で制御される。NMOSTランジスタ(30)(31)(32)がオンする順に基準電圧Vrefは低くなる。例えば、第1不揮発性メモリ(8)の読み出し特性を評価した結果、基準電圧VrefがNMOSTランジスタ(32)をオンした時の値では不十分であるが、NMOSTランジスタ(31)をオンした時の値で十分である場合、制御ビットZ2のみを論理値「1」とすればよい。これより、センスアンプ(6)から正確な論理値が得られる。

【0014】以上より、第1不揮発性メモリ(8)の書き込み特性、消去特性、読み出し特性を評価した結果に基づいて、第2不揮発性メモリ(9)のアドレスa、b、cに適切な制御データA、B、Cを書き込んでおけ

ば、1チップマイクロコンピュータの初期化と同時に、第1不揮発性メモリ(8)の書き込み電圧の大きさ又は時間、消去電圧の大きさ又は時間、センスアンプ(6)の基準電圧Vrefの大きさをハード的に制御でき、第1不揮発性メモリ(8)の製造ばらつき、特性劣化等に容易に対応できることになる。

【0015】

【発明の効果】本発明によれば、第1不揮発性メモリの書き込み電圧の大きさ又は時間、消去電圧の大きさ又は時間、センスアンプの基準電圧の大きさ等を制御する為の制御データを格納する第2不揮発性メモリを設けた。これによって、1チップマイクロコンピュータの初期化と同時に、第1不揮発性メモリの製造ばらつき、特性劣化に容易に対応できる利点を得られる。

【図面の簡単な説明】

【図1】本発明の1チップマイクロコンピュータを示すブロック図である。

【図2】第1不揮発性メモリの書き込み電圧及び消去電圧の時間を制御する為の回路ブロック図である。

【図3】第1不揮発性メモリの書き込み電圧及び消去電圧の大きさを制御する為の回路ブロック図である。

【図4】センスアンプの基準電圧を制御する為の回路ブロック図である。

【図5】第1不揮発性メモリのセンスアンプ部分を示すブロック図である。

【図6】第1不揮発性メモリのプログラム状態を示すセル構造図である。

【図7】プログラム状態である第1不揮発性メモリの読み出し状態を示すセル構造図である。

【図8】プログラム状態ではない第1不揮発性メモリの読み出し状態を示すセル構造図である。

【図9】第1不揮発性メモリの消去状態を示すセル構造図である。

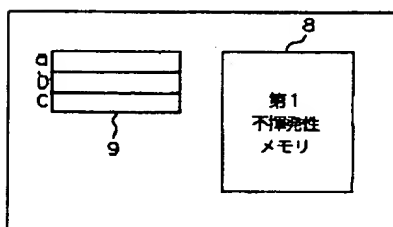
【符号の説明】

(7) 1チップマイクロコンピュータ

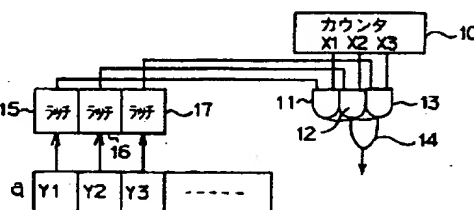
(8) 第1不揮発性メモリ

(9) 第2不揮発性メモリ

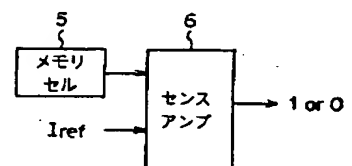
【図1】



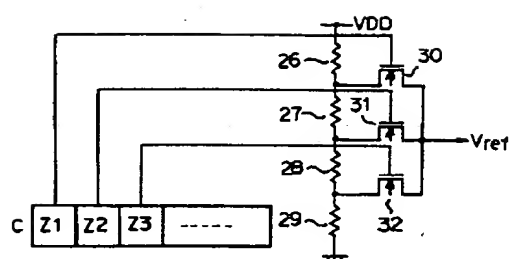
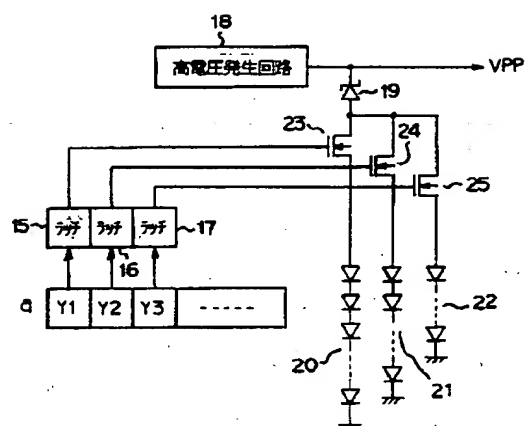
【図2】



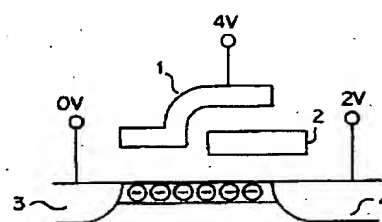
【図5】



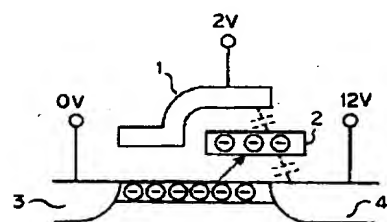
【図 4】



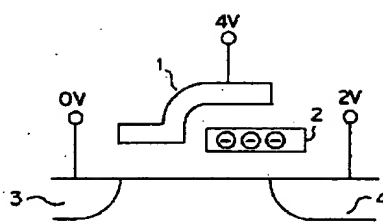
【图 8】



【図 6】



【図 7】



【图 9】

